

# 一种多协议统一架构 CMOS Serdes 发送器 电路设计

唐龙飞, 田 泽, 邵 刚

(中国航空计算技术研究所, 陕西 西安 710119)

**摘要:**为了满足 SoC 系统对多种高速串行通信协议的兼容性要求,文中提出了一种最高支持 3.125 Gbps 的多协议统一架构 Serdes 发送器电路结构,并在 0.13  $\mu\text{m}$  CMOS 工艺下实现。该结构通过分频比可编程的 PLL 电路来产生不同频率的时钟信号,并通过差分电荷泵电路降低了的分频比可调地降低了 PLL 电路输出时钟信号的抖动;通过上升/下降时间控制电路来改变输出信号的上升/下降沿时间,并通过控制信号来改变驱动器的输出信号幅度以及预加重幅度,从而满足不同协议对输出信号的上升/下降时间以及输出幅度的要求。测试结果表明,该发送器电路输出信号眼图可以满足 PCI-E、Fiber Channel、SRIO 等协议的模板要求,在 3.125 Gbps 速率下,其随机抖动 RJRMS 为 1.81 ps。

**关键词:** Serdes; 发送器; 低抖动; PLL

中图分类号: TP31

文献标识码: A

文章编号: 1673-629X(2015)05-0131-04

doi: 10.3969/j.issn.1673-629X.2015.05.031

## Design of a Multi Protocol Unified Architecture CMOS Serdes Transmitter Circuit

TANG Long-fei, TIAN Ze, SHAO Gang

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

**Abstract:** In order to meet the compatibility requirements of SoC system for a variety of high speed serial communication protocol, propose a multi protocol unified Serdes transmitter architecture which can support maximum 3.125 Gbps and has been realized in a 0.13  $\mu\text{m}$  CMOS technology. The dividing ratio of PLL can be programmed to produce different frequency, and the jitter of the PLL output clock is reduced through differential charge pump circuit. This transmitter architecture uses rising/falling edge control circuit to change the rise/fall time of the output signal, and uses control signal to change the amplitude and pre-emphasis amplitude of the driver so as to meet the different protocols requirements. Measurement results show that the output of the transmitter can meet the eye diagram template of the PCI-E, Fiber Channel and SRIO, the random jitter of the transmitter is 1.81 ps at the rate of 3.125 Gbps.

**Key words:** Serdes; transmitter; low jitter; PLL

### 0 引言

随着 SoC 芯片处理容量和速度的不断提升,现代通信系统对数据通信带宽的要求也不断提高,高速数据通信已经成为多处理器互联或板卡互联(PCI-E、SRIO)、串行网络接口(Fiber Channel)等的重要组成部分<sup>[1-2]</sup>。相对于传输距离短、布线复杂、硬件消耗大的并行连接,串行连接具有结构简单、速度快、硬件消耗小的特点。随着通信速率的不断提高,出现了应用于不同场合的多种串行通信协议。串行通信协议种类

的发展对 SoC 的设计提出了更高的要求。为了拓展 SoC 芯片的功能,SoC 芯片往往需要满足不同种类的串行通信协议,从而来适应不同的传输载体以及应用。目前应用较为广泛的 PCI-E、Fiber Channel(FC)以及 SRIO 协议中对发送信号电气特性做了相关规定<sup>[3-4]</sup>,几种不同的协议所覆盖的数据率范围为 1.062 5 ~ 3.125 Gbps,上升下降沿时间根据协议的不同分别为大于 30 ps 或大于 60 ps。输出信号差分幅度范围为 310 ~ 1 600 mV,输出预加重幅度为 3 ~ 4 dB 或者小于

收稿日期: 2014-06-16

修回日期: 2014-09-19

网络出版时间: 2015-04-22

基金项目: “十二五”微电子预研(51308010601, 51308010711); 总装预研基金(9140A08010712HK6101)

作者简介: 唐龙飞(1984-),男,博士,研究方向为高速数模混合集成电路设计;田泽,博士,研究员,研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

网络出版地址: <http://www.cnki.net/kcms/detail/61.1450.TP.20150422.1112.028.html>

6 dB。

由于不同的串行通信协议对数据发送器的数据率、输出信号幅度、输出信号上升/下降时间等方面做出了不同的规定,这就对 SoC 芯片的功能扩展造成了一定的障碍。为了满足对不同协议的支持,SoC 芯片需要集成不同的串行通信协议 IP,造成电路设计难度加大,并导致芯片面积增加。文中根据对上述串行协议要求的分析,在 0.13  $\mu\text{m}$  CMOS 工艺下实现了一种低抖动多协议统一架构的 Serdes 发送器电路,可以通过单芯片满足上述多种协议的要求,从而方便了 SoC 芯片的集成,降低了成本。

### 1 多协议 Serdes 发送器结构分析

通常的 Serdes 发送器由 PLL 电路、MUX 电路以及驱动器电路构成<sup>[5-7]</sup>。PLL 电路用来产生符合协议要求的时钟频率;MUX 电路用来将多位并行输入数据转换成一位串行输出数据,控制 Driver 电路,Driver 电路用来将 MUX 电路的串行输出数据转化成符合协议电气要求的差分输出信号。该结构的缺点在于 PLL 电路产生的频率以及 Driver 电路产生的输出信号特征仅能符合特定的协议,针对不同的协议需要重新设计 PLL 电路以及输出驱动器电路,电路不具有扩展性。

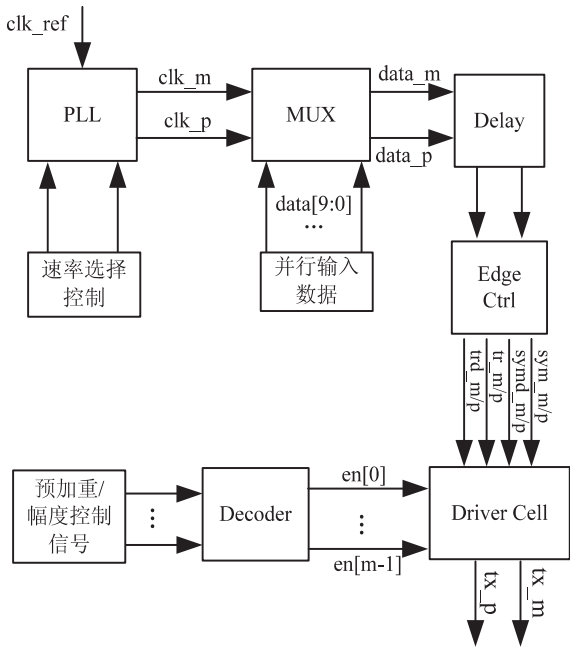


图 1 文中提出的 Serdes 发送器电路结构

针对通常的 Serdes 发送器结构的缺点,文中设计了如图 1 所示的 Serdes 发送器结构,包括可以进行输出速率选择的 PLL 电路、带有上升/下降时间控制的 MUX 电路以及输出信号幅度可调的驱动器电路。针对不同的协议,通过速率选择信号设定 PLL 电路输出不同的时钟频率,同时通过上升/下降沿速率控制模块调整输出信号的上升/下降沿时间,并通过幅度控制模

块以及预加重幅度控制模块调整输出信号的幅度,从而满足不同协议的相应要求。

## 2 多协议 Serdes 发送器电路实现

### 2.1 PLL 电路

PLL 电路用来为数据发送器提供频率稳定的时钟信号,由鉴频鉴相器、电荷泵、环路滤波器、振荡器、可编程分频器以及占空比调整电路构成。通过控制信号控制分频电路的分频系数,电路可以输出符合不同协议要求的时钟频率。通过时钟信号在上升沿和下降沿对数据分别进行采样,可以通过最高数据率一半的时钟频率来完成数据的发送,但是需要保证时钟信号的占空比为 50%。为了降低成本,该设计采用了环形振荡器 VCO 电路,同时设计了占空比调整电路(DCC)来调整输出时钟信号的占空比。

在 PLL 电路中,通常的电荷泵电路(CP)会受到脉冲信号延迟不匹配、时钟馈通、电流不匹配以及电荷注入不匹配效应的影响,造成输出信号周期性的抖动增大<sup>[8-9]</sup>。为了解决该问题,文中设计了如图 2 所示的差分电荷泵电路。

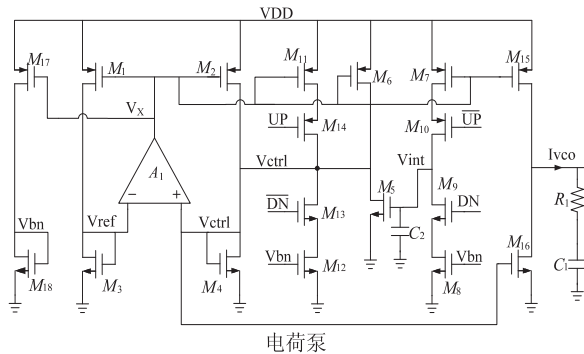


图 2 差分电荷泵电路

对于采用短沟道器件而未采取任何措施的电荷泵电路而言,由于沟道长度调制的影响,电流变化引起的失配可能会达到 30% ~ 48%<sup>[10]</sup>。在图 2 所示的电路中,通过  $M_1 \sim M_4$  以及运放  $A_1$  组成反馈环路可以解决该问题。当沟道长度调制效应的影响导致  $M_{11}$ 、 $M_{12}$  的电流发生变化时,  $V_{ctrl}$  的电压发生改变。运放  $A_1$  通过对  $V_{ctrl}$  与  $V_{ref}$  进行比较,改变其输出电压  $V_x$ ,从而调整  $M_{17}$  和  $M_{11}$  中的电流。 $M_{17}$  和  $M_{11}$  的尺寸相等,故其电流保持相等。 $M_{12}$  中的电流来自于对  $M_{17}$  中电流的复制,故电荷泵来自于  $M_{11}$  的充电电流与来自于  $M_{12}$  的放电电流在考虑沟道长度调制效应时依然保持匹配。

当时钟馈通、电荷注入以及电流源不匹配影响电荷泵时,其影响均可等效为电流源不匹配对电路的影响<sup>[11-12]</sup>。在图 2 所示的电路中,当  $M_7 \sim M_{10}$  组成的电流支路导通时,电路中不匹配效应的影响将导致电压  $V_{int}$  升高/降低,并储存到电容  $C_2$  上。当  $M_{11} \sim M_{14}$  组

成的支路导通时,若不考虑  $M_5$ 、 $M_6$  以及电容  $C_2$  的作用,电路不匹配效应同样会导致  $V_{\text{ctrl}}$  电压升高/降低。但由于电容  $C_2$  上储存了同样的不匹配效应的影响,通过  $M_5$  和  $M_6$  组成的放大器会抑制  $V_{\text{ctrl}}$  电压的变化。因此,通过  $M_5 \sim M_{10}$  以及电容  $C_2$  所构成的电荷泵支路,可以消除时钟馈通、电荷注入以及电流源不匹配的影响。

针对环形振荡器电路,文中设计了如图3所示的占空比调整电路。环形振荡器的输出信号  $\text{clk\_in}$  分别经过延时相等的反相器和传输门后,通过  $R_m/R_p$  和  $C_m/C_p$  构成的积分器转换成直流信号。当  $\text{clk\_in}$  的占空比为50%时,经过积分器后  $V_m$  与  $V_p$  的直流值为  $V_{\text{DD}}/2$ ,  $V_{\text{mf}}$  与  $V_{\text{pf}}$  的值相等为  $V_{\text{bp}}$ 。当  $\text{clk\_in}$  占空比大于50%时,会导致  $V_m$  电压低于  $V_{\text{DD}}/2$ ,  $V_p$  电压高于  $V_{\text{DD}}/2$ ,从而使  $V_{\text{mf}}$  电压升高,  $V_{\text{pf}}$  电压降低。  $V_{\text{mf}}$  电压升高使  $M_9$  中电流减小,导致  $M_9$  和  $M_{11}$  构成的反相器的翻转所需高电平时间变短。经过反相器后,  $\text{clk\_m}$  的低电平长度变短,使  $V_m$  升高。对于  $\text{clk\_p}$  支路,其变化与  $\text{clk\_m}$  支路刚好相反。电路对  $\text{clk\_m}/\text{clk\_p}$  占空比进行调整,直至电压  $V_m/V_p$  等于  $V_{\text{DD}}/2$ ,此时占空比达到50%。

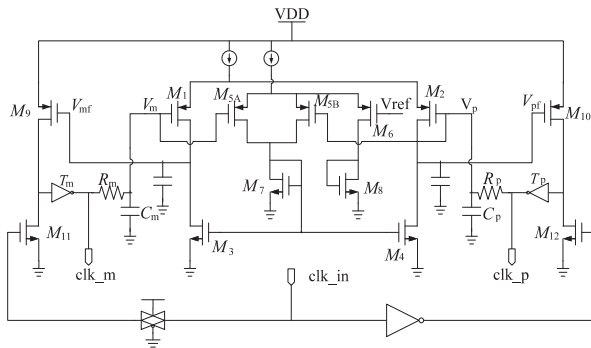


图3 占空比调整电路

2.2 MUX 电路

MUX 电路用来将输入的低速并行信号转换为高速串行输出信号<sup>[13]</sup>。由于采用了半速时钟结构,MUX 电路采用了奇偶序列分别转换成两路串行数据后再合并为一路输出的方式,其结构如图4所示。

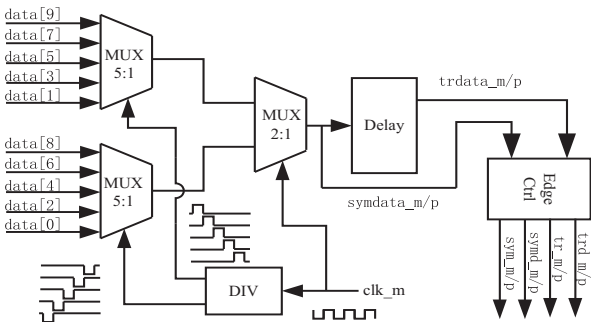


图4 MUX 模块结构图

图4中,MUX 模块首先对输入的时钟信号  $\text{clk\_m}/$

$\text{clk\_p}$  进行五分频,产生占空比为20%的时钟信号。分频后的时钟信号分别控制两个5:1的数据选择器,将输入数据按奇偶序列转换为两路输出。两路输出信号经过由  $\text{clk\_m}$  控制的2:1的数据选择器输出差分数据信号  $\text{symdata\_m/p}$ 。同时,考虑到整体电路中需要实现预加重功能,差分数据信号  $\text{symdata\_m/p}$  经过延时模块,延时一个数据周期并将数据反相,其输出信号为  $\text{trdata\_m/p}$ 。两路差分数据经过上升/下降沿速率控制模块后,分别输出上升/下降沿较短的  $\text{trm\_m/p}$ 、 $\text{sym\_m/p}$  信号以及上升/下降沿较长的  $\text{trd\_m/p}$ 、 $\text{symd\_m/p}$  信号。

2.3 驱动器电路

为了适应不同协议对输出信号的电气特性要求,文中设计了包含预加重幅度控制以及输出电压幅度控制功能的驱动器电路,其结构如图5所示。

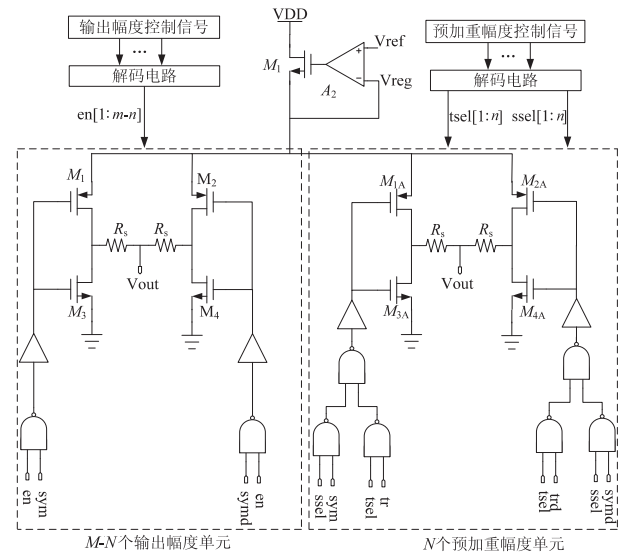


图5 文中设计的驱动器电路图

在图5所示的驱动器电路中,包含电源模块、 $N$ 个预加重单元以及  $M - N$  个输出幅度调整单元。电源模块由运放  $A_2$  以及驱动管  $M_1$  构成,用来为驱动器电路提供稳定的电源  $V_{\text{reg}}$ ,其电压等于参考电压  $V_{\text{ref}}$ 。

输出幅度控制信号经过解码电路后,产生控制信号  $\text{en}[1:m - n]$ ,用来控制  $M - N$  个输出幅度单元的使能情况。对于输出幅度单元,其输入信号分别为  $\text{sym}$  与  $\text{symd}$ 。当输出幅度单元被使能后,  $\text{sym}$  信号经  $M_1$ 、 $M_3$  和  $R_s$  后驱动输出负载;  $\text{symd}$  信号经  $M_2$ 、 $M_4$  以及  $R_s$  后驱动输出负载。由于  $\text{sym}$  与  $\text{symd}$  信号数据相同,但是上升/下降沿时间不同,通过 MUX 模块控制  $\text{symd}$  信号的上升/下降沿,即可调整输出信号的上升/下降沿时间。

预加重幅度控制信号经过解码电路后,产生两组控制信号,分别为  $\text{tsel}[1:n]$  以及  $\text{ssel}[1:n]$ 。对于预加重幅度单元,其输入信号分别为  $\text{sym}$ 、 $\text{tr}$  以及  $\text{symd}$ 、

trd。当电路需要进行预加重时,解码电路控制  $t_{sel}[1:n]$  产生相应的输出,  $s_{sel}[1:n]$  保持为 0。此时, tr 与 trd 信号经由  $M_{1A} \sim M_{4A}$  以及  $R_s$  后驱动输出负载。由于 tr 信号与 sym 信号相比,延迟了一个数据周期,且数据相反,因此,在发生高低电平转换的第一个数据时间长度内,电路实现了预加重功能<sup>[14]</sup>。

### 3 芯片测试结果

基于该设计的 Serdes 芯片在  $0.13 \mu\text{m}$  工艺下进行流片,图 6 给出了芯片的测试结果。其中,(a)、(b)、(c)分别为不同协议的部分速率下的协议一致性测试结果,图中的阴影部分为协议要求的模板;(d)为 3.125 Gbps 速率下输出信号眼图的抖动测试结果。从图中可以看出,在不同速率下,输出信号均符合相关协议的模板要求;在最高的 3.125 Gbps 速率下,信号的随机输出抖动  $RJ_{\text{RMS}}$  为  $1.81 \text{ ps}$ 。

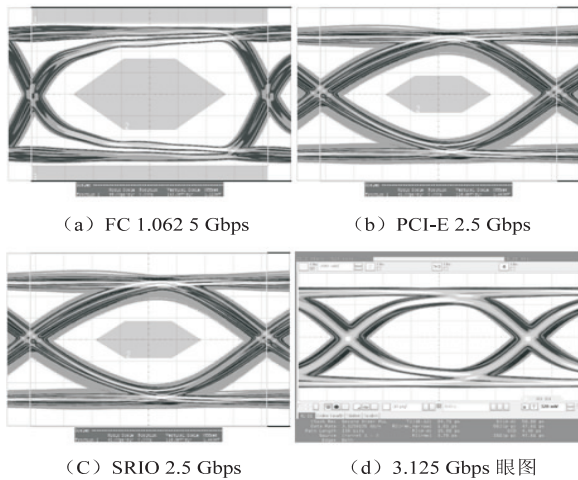


图 6 芯片测试结果

### 4 结束语

文中通过设计分频系数可调的 PLL 电路、具有上升/下降沿时间调整功能的 MUX 电路以及输出幅度/预加重幅度可调的驱动器电路,实现了单芯片对不同 Serdes 协议的支持,并成功在  $0.13 \mu\text{m}$  CMOS 工艺下进行流片。测试结果表明,提出的低抖动多协议统一架构发送器电路结构支持  $1 \sim 3.125 \text{ Gbps}$  的传输速率,可以适应 PCI-E、FiberChannel 以及 SRIO 协议的

要求。

#### 参考文献:

- [1] 欧阳干. PCI Express 物理层的设计与实现[D]. 长沙:国防科学技术大学,2006.
- [2] 陈 钰,洪志良. 用于 2.5Gbps 千兆以太网发接器的时钟倍频器设计[J]. 固体电子学研究与发展,2003,23(3):256-261.
- [3] PCI express base specification revision 2.0[S]. New York: PCI-SIG Company,2006.
- [4] PCI express card electromechanical specification revision 2.0[S]. New York:PCI-SIG Company,2007.
- [5] Stauffer D R, Mechler J T, Sona M, et al. High speed Serdes devices and applications[M]. [s. l.]; Springer Science Business Media,2009.
- [6] Yokoyama-Martin D A, Krishna K, Stonick J, et al. A multi-standard low power 1.5-3.125Gb/s serial transceiver in 90nm MOS[C]//Proceedings of IEEE custom integrated circuits conference. [s. l.]; IEEE,2006:401-404.
- [7] Partovi H, Evans B, Wilson T, et al. A 62.5Gb/s multi-standard SerDes IC[C]//Proceedings of IEEE custom integrated circuits conference. [s. l.]; IEEE,2003:585-588.
- [8] 何小威,李少青,唐世民. 一种用于微处理器的高频锁相环设计与实现[C]//第十届计算机工程与工艺学术年会. 桂林:出版者不详,2006.
- [9] Williams S, Thompson H, Hufford M, et al. An improved CMOS ring oscillator PLL with less than 4ps accumulated jitter[C]//Proceedings of IEEE custom integrated circuits conference. [s. l.]; IEEE,2004:151-154.
- [10] 姜 梅,刘三清,李乃平,等. 用于电荷泵锁相环的无源滤波器的设计[J]. 微电子学,2003,33(4):339-343.
- [11] Loke A L, Barnes R K, Wee T T, et al. A versatile 90-nm CMOS charge-pump PLL for SerDes transmitter clocking[J]. IEEE Journal of Solid-state Circuits, 2006, 41(8):1894-1907.
- [12] 陈一辉,郭 淦,叶菁华,等. 一种采用常跨导偏置技术的高速多相时钟发生器[J]. 微电子学,2004,34(3):345-348.
- [13] 郭亚伟,张占鹏,章奕民,等. 一种 1.25Gbps CMOS 以太网串并/并串转换电路[J]. 微电子学,2003,33(1):53-55.
- [14] 刘中唯,张 涛,刘政林,等. 具有预加重功能的 LVDS 驱动电路[J]. 微电子学与计算机,2007,24(1):133-135.

# 一种多协议统一架构CMOS Serdes发送器电路设计

作者: [唐龙飞](#), [田泽](#), [邵刚](#), [TANG Long-fei](#), [TIAN Ze](#), [SHAO Gang](#)  
作者单位: [中国航空计算技术研究所, 陕西 西安, 710119](#)  
刊名: [计算机技术与发展](#)   
英文刊名: [Computer Technology and Development](#)  
年, 卷(期): 2015(5)

引用本文格式: [唐龙飞](#). [田泽](#). [邵刚](#). [TANG Long-fei](#). [TIAN Ze](#). [SHAO Gang](#) [一种多协议统一架构CMOS Serdes发送器电路设计](#)[期刊论文]-[计算机技术与发展](#) 2015(5)